

## Flash memory cell structure for improving the data preservation problem and the programming speed and the formation method thereof

**Patent number:** TW457712

**Publication date:** 2001-10-01

**Inventor:** SHIE JIA-DA (TW); GUO DI-SHENG (TW); YE JUANG-GE (TW); JANG CHUAN-LI (TW); JU WEN-DING (TW)

**Applicant:** TAIWAN SEMICONDUCTOR MFG (TW)

**Classification:**

- international: H01L27/115

- european:

**Application number:** TW20000120822 20001005

**Priority number(s):** TW20000120822 20001005

Report a data error here

### Abstract of TW457712

A flash memory cell structure for improving the data preservation problem and the programming speed and the formation method thereof is disclosed, the feature of the flash memory cell structure of the present invention is: the silicon nitride passivation layer covers the oxide layer on the source region and the sidewall of its neighboring floating gate structure containing part of the floating gate, therefore, the smiling effect that the gate oxide layer on the edge of the floating gate becomes thicker can be prevented in the formation process of the oxide layer (especially the formation of inter-poly oxide layer), furthermore, since the control gate (word line) and silicon nitride layer covers the oxide layer on the whole upper layer of the floating gate, the problem of unstable control gate resistance resulted from the photolithography overlay process during the source ion implantation, and the problem of oxide layer damage on the floating gate resulted from the ion layer-mixing step of control gate before the formation of silicide can also be prevented.

---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

中華民國專利公報 [19] [12]

[11]公告編號：457712

[44]中華民國 90年 (2001) 10月 01日

發明

全 7 頁

[51] Int.Cl. <sup>06</sup>: H01L27/115

[54]名稱：改善資料保存問題與程式化速度之快閃記憶體結構及其形成方法

[21]申請案號：089120822

[22]申請日期：中華民國 89年 (2000) 10月 05日

[72]發明人：

謝佳達

郭迪生

葉壯格

張傳理

朱文定

曹昇巍

台南市北區東豐里十四鄰東豐路一三三巷七號

台北市建國南路一段一七五巷二十七號八樓

新竹縣竹北市番子坡九十八之一〇一號

新竹縣竹東鎮康莊街一〇九巷四十號

高雄縣阿蓮鄉中正路六六八號

台北縣永和市保福路二段一三三巷三十六弄四號四樓

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人：李長銘 先生

1

2

[57]申請專利範圍：

1. 一種改善資料保存問題與程式化速度之分開快閃記憶體結構，該分開快閃記憶體結構具有一閘極氧化層/第一複晶矽晶層/第一氧化層之懸浮閘極堆疊結構形成於一半導體基板上，一源極區形成於該懸浮閘極堆疊結構的一側邊之該半導體基板內，並向該懸浮閘極堆疊結構下方部分區域延伸，一控制閘極形成於該半導體基板及部分懸浮閘極堆疊結構上，一汲極區形成於該半導體基板內，自該控制閘極邊緣向遠離該源極區方向延伸，因此該汲極、該控制閘極、該懸浮閘極及該源極區係延一方向依序呈現，一第二氧化層形成於該半導體基板上，並包覆該懸浮閘極堆疊結構，該快閃記憶體結構特徵為：

一氮矽氧化覆蓋層形成於該源極區的第二氧化層及未被該控制閘極所覆蓋之該懸浮閘極堆疊結構的其餘部分的

第二氧化層上，以使得該懸浮閘極堆疊結構完全為控制閘極及氮矽氧化覆蓋層所包覆。

2. 如申請專利範圍第1項之快閃記憶體結構，其中上述之控制閘極部分覆蓋該氮矽氧化覆蓋層以確保該控制閘極及該氮矽氧化覆蓋層共同完全包覆該懸浮閘極堆疊結構。

3. 如申請專利範圍第1項之快閃記憶體結構，其中上述之氮矽氧化覆蓋層厚度約為100-400埃。

4. 如申請專利範圍第1項之快閃記憶體結構，更包含形成於該控制閘極之側壁之間隙壁及該氮矽氧化覆蓋層向上述源極延伸之之間隙壁。

5. 如申請專利範圍第1項之快閃記憶體結構，其中上述之控制閘極至少包含金屬矽化物及第二複晶矽層。

6. 一種改善資料保存問題與程式化速度之分開快閃記憶體結構，該快閃記憶

(2)

3

- 胞結構至少包含：
- 一開極氧化層 / 第一複晶矽晶層 / 第一氧化層結構之懸浮開極結構形成於一半導體基板上；
  - 一源極區形成於該懸浮開極堆疊結構的一側邊之該半導體基板內，並向該懸浮開極堆疊結構下方部分區域延伸；
  - 一第二氧化層形成於該半導體基板上，及該懸浮開極結構上；
  - 一控制開極形成於該半導體基板及部分懸浮開極堆疊結構上的該第二氧化層上；
  - 一汲極區形成於該半導體基板內，自該控制開極邊緣向遠離該源極區方向延伸方向延伸，因此該汲極、該控制開極、該懸浮開極及該源極區係延一方向依序呈現；及
  - 一氮矽氧化覆蓋層形成於該源極區的第二氧化層及未被該控制開極所覆蓋之該懸浮開極堆疊結構的其餘部分的第二氧化層上，以使得該懸浮開極堆疊結構完全為控制開極及氮矽氧化覆蓋層所包覆。
7. 如申請專利範圍第 6 項之快閃記憶胞結構，其中上述之控制開極部分覆蓋該氮矽氧化覆蓋層以確保該控制開極及該氮矽氧化覆蓋層共同完全包覆該懸浮開極堆疊結構。
8. 如申請專利範圍第 6 項之快閃記憶胞結構，其中上述之氮矽氧化覆蓋層厚度約為 100-400 埃。
9. 如申請專利範圍第 6 項之快閃記憶胞結構，更包含形成於該控制開極側壁之間隙壁及該懸浮開極堆疊結構側壁之間隙壁。
10. 如申請專利範圍第 6 項之快閃記憶胞結構，其中上述之控制開極至少包含金屬矽化物及第二複晶矽層。
11. 一種改善資料保存問題與程式化速度

4

- 之快閃記憶胞的形成方法，該方法至少包含以下步驟：
- 提供一半導體基板，該基板並已形成開極氧化層 / 第一複晶矽晶層 / 第一氧化層結構之懸浮開極；
5. 形成第二氧化層於該懸浮開極及該半導體基板上；
- 形成覆蓋源極區及約半邊懸浮開極區的連續氮化矽覆蓋層；
10. 以熱氧化法形成第三氧化層；
- 沉積第二複晶矽層於該第三氧化層上；
- 以微影及蝕刻技術定義該第二複晶矽層，以形成字線；
15. 對該源極區進行離子佈植以導電性雜質；
- 施以高溫含氧環境的退火製程，以促使源極區之導電性雜質進一步橫向擴散至該懸浮開極區下之半導體基板內；
20. 形成氮化矽側壁層於該字線側壁及靠近源極區之該懸浮開極區的側壁上以做為氮化矽間隙壁；
- 全面進行離子佈植以導電性雜質於該源極區、字線及汲極區，以該間隙壁及該氮化矽覆蓋層為罩幕；及
- 形成金屬矽化物層於該字線及該源、汲極區上。
12. 如申請專利範圍第 11 項之方法，其中上述之開極氧化層 / 第一複晶矽晶層 / 第一氧化層結構之懸浮開極的形成方法至少包含：
- 形成一開極氧化層在一半導體基板上；
35. 形成一第一複晶矽層於該開極氧化層之上；
- 形成一第一氮化矽層於該第一複晶矽層上；
- 以微影及蝕刻技術定義該第一氮化矽層以定義該懸浮開極之位置；
- 40.

(3)

5

施以熱氧化法以形成該第一氧化層於第一複晶矽層上；

去除該第一氮化矽層；及

施以蝕刻以去除未被該第一氧化層罩幕之第一複晶矽層以形成該懸浮閘極。

13.如申請專利範圍第11項之方法，其中上述之形成第二氧化層於該懸浮閘極及該半導體基板上步驟至少包含沉積HTO氧化層。

14.如申請專利範圍第13項之方法，更包含在沉積HTO氧化層前先以高溫熱氧化製程形成一厚度約100-200埃的薄氧化層。

15.如申請專利範圍第11項之方法，其中上述之形成氮化矽覆蓋層的方法，至少包含以下步驟：

形成一氮化矽層於該第二氧化層上；及

以微影及蝕刻技術定義該氮化矽層，以形成覆蓋源極區及約半邊懸浮閘極區的連續的氮化矽層於該第二氧化層。

16.如申請專利範圍第11項之方法，其中上述之對該源極區進行離子佈植以導電性雜質步驟至少包含：

形成一曝露源極區的光阻圖案於該第二複晶矽層上；

施以離子佈植技術以佈植n型導電性雜質；及

去除該光阻圖案。

17.如申請專利範圍第11項之方法，其中上述之施以高溫含氧環境的退火製程同時將形成一薄的氧化層於該懸浮閘極及該半導體基板上曝露之表面，並使該氮化矽覆蓋層氧化成氮矽氧化覆蓋層。

18.如申請專利範圍第11項之方法，其中上述之氮化矽間隙壁形成法至少包含：

6

形成一氮化矽層於該氮矽氧化覆蓋層；及

施以一非等向性蝕刻方法在用以在該字線側壁及靠近源極區之該懸浮閘極區的側壁上形成該氮化矽間隙壁。

19.如申請專利範圍第11項之方法，其中上述之形成金屬矽化物層於該字線及該源、汲極區之步驟至少包含：

沉積金屬層於已形成上述氮化矽間隙壁後之結構上；

進行離子混合佈植，將離子植入於該金屬層與該第二複晶矽層之間的界面及該金屬層、與該源、汲極區與金屬層之界面；

15. 施以第一次退火，以促使該金屬層與該第二複晶矽層及該源、汲極區之半導體基板反應成低溫金屬矽化物；

去除未反應之金屬層；及

20. 施以第二次退火，以促使該低溫金屬矽化物層轉成相對於該低溫金屬矽化物層具有更低阻質之金屬矽化物層。

20.如申請專利範圍第19項之方法，其中上述之第一次退火之溫度約為650-750°C，第二次退火之溫度約為750-900°C。

25. 圖式簡單說明：

第一圖顯示以傳統方法製造分開快閃記憶體至形成一閘極氧化層/第一複晶矽晶層/第一氧化層之懸浮閘極堆疊結構形成於一半導體基板上的橫截面圖。

30. 第二圖顯示以傳統方法形成第二氧化層於懸浮閘極堆疊結構及半導體基板之橫截面示意圖。

第三圖顯示以傳統方法製造分開快閃記憶體至完成源極區離子佈植以及退火後以擴大源極區的橫截面示意圖。

35. 第四圖A及第四圖B分別為形成光阻圖案於控制閘極以進行源極區佈植但又有疊對誤差的橫截面及俯視示意圖。

第五圖顯示以傳統方法製造分開快閃記憶體至進行離子混層及形成金屬矽

(4)

7

化物層之橫截面示意圖。

第六圖 A 及第六圖 B 分別顯示以本發明之方法製造分開快閃記憶體至形成一閘極氧化層 / 第一複晶矽晶層 / 第一氧化層之懸浮閘極堆疊結構形成於一半導體基板上的橫截面及俯視示意圖。

第七圖顯示以本發明之方法形成第二氧化層、氮化矽覆蓋層的橫截面示意圖。

第八圖顯示以本發明之方法製造分

8

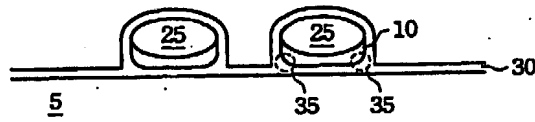
開快閃記憶體至完成源極區離子佈植以及退火後以擴大源極區的構截面示意圖。

第九圖 A 及第九圖 B 分別顯示以本發明之方法，形成間隙壁及施以離子佈植以形成汲極區的橫截面示意圖及俯視圖。

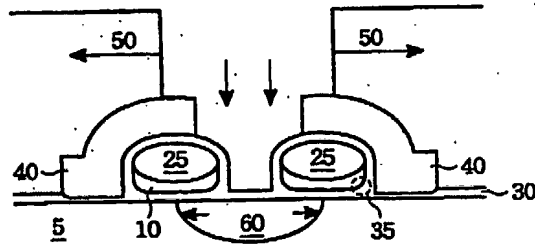
第十圖顯示以本發明之方法，製造分開快閃記憶體至進行離子混層及形成金屬矽化物層之橫截面示意圖。



第一圖

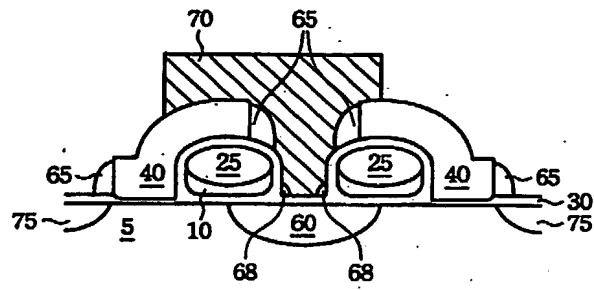


第二圖

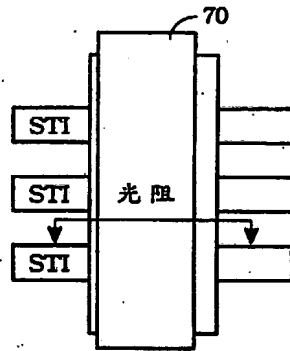


第三圖

(5)

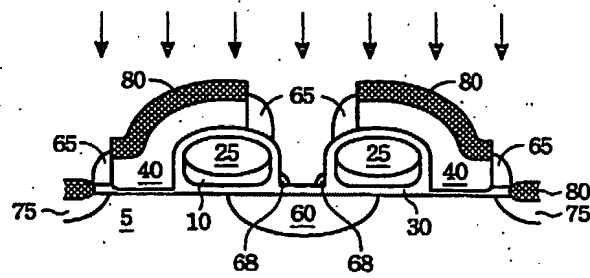


A



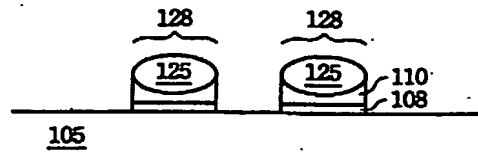
B

第四圖

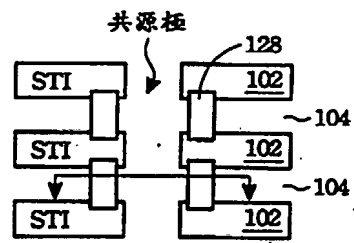


第五圖

(6)

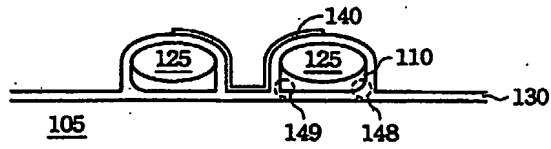


A

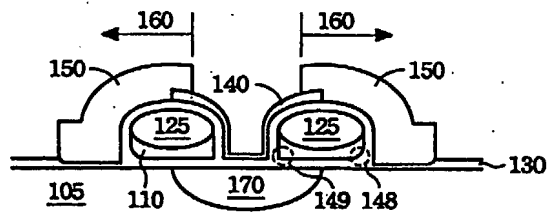


B

第六圖

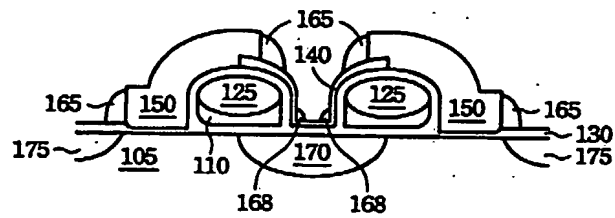


第七圖

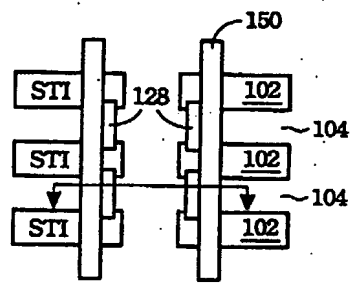


第八圖

(7)

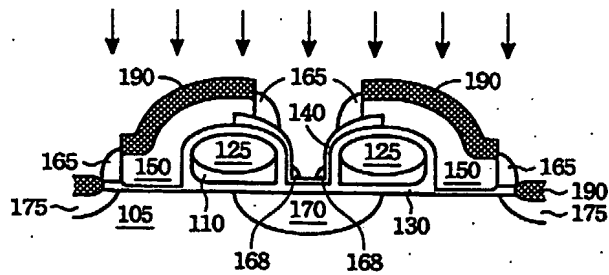


A



B

第九圖



第十圖